

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314149

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H01L 33/00

H01L 31/02

H01S 5/022

(21)Application number : 2001-115131

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 13.04.2001

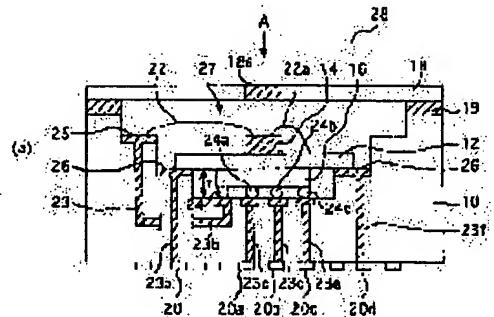
(72)Inventor : KUBOTA KAZUYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which prevents a semiconductor element from malfunctioning due to lights concerning an optical semiconductor device and can be miniaturized.

SOLUTION: The device comprises a wiring substrate 10 having a staircase-like cavity, a metal plate 12 the peripheral edge of which is fixed to step faces of the staircase, an optical semiconductor element 14 fixed to one side of the plate 12 and a semiconductor element 16 for controlling the optical semiconductor element 14. The element 16 has electrode terminals (24-24c) bonded to wirings (23b-23e) in the bottom of the cavity and the opposite side to the electrode terminals (24-24c) forming side is fixed to the other side of the metal plate 12.



Japanese Publication for Unexamined Patent Application

No. 314149/2002 (Tokukai 2002-314149)

A. Relevance of the Above-identified Document

This document has relevance to claims 1 and 11 of the present application.

B. Translation of the Relevant Passages of the Document

See also the attached English Abstract.

[0009]

[MEANS FOR SOLVING THE PROBLEMS]

To solve the foregoing problems, a semiconductor apparatus of the present invention includes (i) a wiring substrate having a staircase-shaped cavity, (ii) a metal plate whose peripheral part is fixed to a step of the staircase-shaped cavity, (iii) an optical semiconductor element bonded on a surface of the metal plate, and (iv) a controlling semiconductor element which controls the optical semiconductor element, which has: electrode terminals connected to the wires on the bottom surface of the cavity; and a surface where the electrode terminals are not provided, the surface being fixed to the other surface of the metal plate.

[0019]

The wiring substrate 10 is made of ceramic such as alumina ceramic...

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-314149

(P2002-314149A)

(43)公開日 平成14年10月25日(2002.10.25)

(51)Int.Cl.

H 01 L 33/00
31/02
H 01 S 5/022

識別記号

F I

H 01 L 33/00
H 01 S 5/022
H 01 L 31/02

テ-マコト*(参考)
N 5 F 0 4 1
5 F 0 7 3
B 5 F 0 8 8

審査請求 未請求 請求項の数 7 O.L (全 7 頁)

(21)出願番号

特願2001-115131(P2001-115131)

(22)出願日

平成13年4月13日(2001.4.13)

(71)出願人 000190688

新光電気工業株式会社
長野県長野市大字栗田字舍利田711番地

(72)発明者 塙田 和之

長野県長野市大字栗田字舍利田711番地
新光電気工業株式会社内

(74)代理人 100091672

弁理士 岡本 啓三

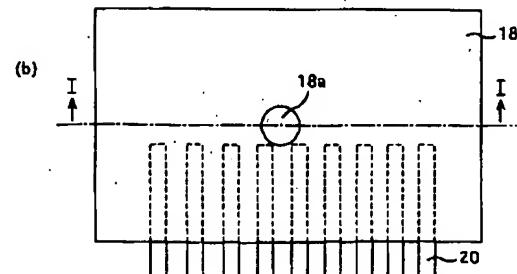
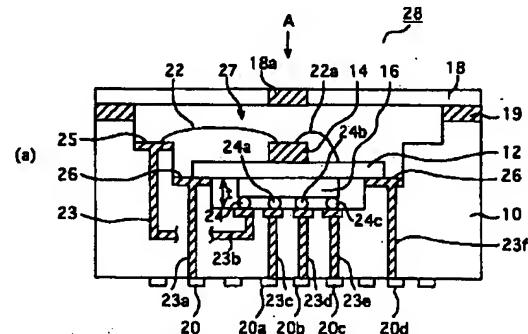
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 光半導体装置に係る光に起因する半導体素子の誤動作を防止できるとともに、小型化できる半導体装置を提供することを目的とする。

【解決手段】 キャビティーが階段状に設けられた配線基板10と、階段の段差面に周縁部が固着された金属板12と、金属板12の一方の面に固着された光半導体素子14と、電極端子(24a～24c)が前記キャビティーの底部の配線(23b～23e)に接合され、電極端子(24a～24c)の形成面の反対側が前記金属板12の他方の面に固着された、光半導体素子14を制御する制御用半導体素子16とを備えたことを特徴とする。



【特許請求の範囲】

【請求項1】 キャビティーが階段状に設けられた配線基板と、

前記階段の段差面に周縁部が固着された金属板と、
前記金属板の一方の面に固着された光半導体素子と、
電極端子が前記キャビティーの底部の配線に接合され、
前記電極端子の形成面の反対側が前記金属板の他方の面に固着された、前記光半導体素子を制御する制御用半導体素子とを備えたことを特徴とする半導体装置。

【請求項2】 前記配線基板の段差面に、前記光半導体素子のグラウンド用の配線層が形成され、前記光半導体素子のグラウンド端子が前記金属板に電気的に接続され、前記金属板の周縁部が前記配線層に電気的に接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記金属板が、前記制御用半導体素子と接合されたダイパッド部と前記段差面に固着された前記周縁部との間の領域に、厚み方向に屈曲した屈曲部を有し、

前記制御用半導体素子が、前記電極端子を介して前記キャビティーの底部の配線にフリップチップ接合されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記屈曲部が、メッシュ状であることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記屈曲部が、前記ダイパッド部から前記周縁部に向かって延びる複数のサポートバーからなることを特徴とする請求項3に記載の半導体装置。

【請求項6】 前記金属板が、銅からなることを特徴とする請求項1乃至5のいずれか一項に記載の半導体装置。

【請求項7】 前記光半導体素子が、発光ダイオード(LED)、半導体レーザー(LD)及びフォトダイオード(PD)のいずれかであることを特徴とする請求項1乃至6のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係り、さらに詳しくは、プラスチック光ファイバ(POF)などを用いた光通信に係る半導体装置に関する。

【0002】

【従来の技術】近年、光ファイバの通信方式の進展は目覚しく、高度情報化社会を構築するために必須の基礎技術の1つにまで発展してきている。この光ファイバの通信方式に用いられる光半導体素子は発光素子と受光素子とに分類される。発光素子としては、発光ダイオード(LED: Light Emitting Diode)及び半導体レーザー(LDと呼ばれる)が使用され、一方、受光素子としては、フォトダイオード(PD: Photo Diode)が使用されている。

【0003】 LEDはプラスチック光ファイバ(POF: Plastic Optical Fiber)を用いた極近距離(電気機器間などの数mの距離)通信に需要が高まっており、一方、LDはPOFを用いた長距離光通信(数m~数百m)に適用されるようになってきている。ところで、LEDやLDを駆動させるためには、光の出力を増幅したり制御したりするための制御用半導体素子が必要である。このため、LED又はLDとこれらを制御する制御用半導体素子とが光を外部に出力するための透明なガラス窓を有する同一のパッケージ内に実装される。PDの場合も同様に、PDとこれを制御するための制御用半導体素子とが同一のパッケージ内に実装される。

【0004】 このように、光半導体素子とそれを制御する制御用半導体素子が同一のパッケージに実装されている場合、LEDやLDから漏れた光やPDで反射した光が制御用半導体素子にあたると、制御用半導体素子内でキャリアが生成されて光電変換が起こることに起因して制御用半導体素子の回路が誤動作するおそれがある。図4は従来の光通信に係る半導体装置を示す断面図である。従来の光通信に係る半導体装置は、図4に示すように、中央部に遮光部30aを有する配線基板30内に、遮光部30aの向かって右側にLEDやPDなどからなる光半導体素子34が配置され、遮光部30aの向かって左側に光半導体素子34を制御するための制御用半導体素子36が配置されている。

【0005】 光半導体素子34の電源部はボンディングワイヤ42cで配線基板30の電源線に接続され、一方、グラウンド部はボンディングワイヤ42dで配線基板30のグラウンド線に接続されている。同様に、制御用半導体素子36の電源部はボンディングワイヤ42aで配線基板30の電源線に接続され、一方、グラウンド部はボンディングワイヤ42bで配線基板30のグラウンド線に接続されている。

【0006】 配線基板30の周縁部と遮光部30aとの上に不透明のキャップ38が固着され、このキャップ38の光半導体素子34の発光部に相当する領域には透明なガラスからなる窓38aが形成されている。そして、光半導体素子34から放出される光がこの窓38aを透過して外部に出力される。このように、制御用半導体素子36は遮光部30aにより遮光されることになるので、光半導体素子34から横方向に漏れる光が制御用半導体素子36にあたらなくなる。従来、このような実装構造にすることにより、光半導体素子34から漏れる光を遮断して制御用半導体素子36の誤動作を防止していた。

【0007】

【発明が解決しようとする課題】 しかしながら、従来の光半導体素子とそれを制御する制御用半導体素子とが実装された半導体装置は、光半導体素子と制御用半導体素

子とが遮光部を挟んで横方向に並んで配置される実装構造、すなわち平面の実装構造なので、半導体装置を小型化するのが困難であるという問題があった。

【0008】本発明は以上の問題点を鑑みて創作されたものであり、光半導体素子とそれを制御する制御用半導体素子とが備えられた半導体装置において、光半導体素子に係る光に起因する制御用半導体素子の誤動作を防止できるとともに、小型化することができる半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記問題を解決するため、本発明は半導体装置に係り、キャビティーが階段状に設けられた配線基板と、前記階段の段差面に周縁部が固着された金属板と、前記金属板の一方の面に固着された光半導体素子と、電極端子が前記キャビティーの底部の配線に接合され、前記電極端子の形成面の反対側が前記金属板の他方の面に固着された、前記光半導体素子を制御する制御用半導体素子とを備えたことを特徴とする。

【0010】光半導体素子は、光を放出したり、受光したりする素子なので、放出された光や受けた光の一部が反射したりなどして、光半導体素子を制御する制御用半導体素子に光があたり、制御用半導体素子が誤動作を起こすおそれがある。しかしながら、本発明によれば、キャビティーが階段状に設けられた配線基板の段差面に金属板の周縁部が固着され、この金属板の一方の面に光半導体素子が固着され、金属板の他方の面にキャビティーの底部に電極端子が接続される配置で光半導体素子を制御する制御用半導体素子が固着されている。

【0011】すなわち、金属板を挟んで、光半導体素子はその発光面側又は受光面側に配置され、制御用半導体素子は金属板の光半導体素子が配置された面の裏側に配置されている。従って、金属板によって光半導体素子に係る光が遮断されるので、制御用半導体素子に光があたらなくなる。これにより、光があたることに起因する制御用半導体素子の誤動作が起きなくなり、その特性が改善されるとともに、光半導体素子と制御用半導体素子が3次元で積層されて実装されるので、これらが実装された半導体装置を小型化することができるようになる。

【0012】上記した半導体装置において、前記配線基板の段差面に、前記光半導体素子のグラウンド用の配線層が形成され、前記光半導体素子のグラウンド端子が前記金属板に電気的に接続され、前記金属板の周縁部が前記配線層に電気的に接続されていることが好ましい。本発明の半導体装置に係る金属板は、例えば、銅などからなるものであって、配線基板の配線に比べると、その幅が非常に太く、その膜厚が非常に厚いものである。従つて、この遮光するための金属板をグラウンド線の配線として利用することにより、グラウンド線の配線抵抗が大幅に低減されるので、光半導体素子がノイズの影響を受

けにくくなる。

【0013】また、上記した半導体装置において、前記金属板が、前記制御用半導体素子と接合されたダイパッド部と前記段差面に固着された前記周縁部との間の領域に、厚み方向に屈曲した屈曲部を有し、前記制御用半導体素子が、前記電極端子を介して前記キャビティーの底部の配線にフリップチップ接合されていることが好ましい。さらに、好適には、前記屈曲部がメッシュ状であることが好ましい。

【0014】本発明の半導体装置を製造する場合、まず、金属板の裏面と制御用半導体素子の裏面とを接合し、次いで、金属板の周縁部を配線基板の段差面に固着しながら制御用半導体素子をフリップチップ接合で配線基板の配線に接続する。このとき、金属板の周縁部が固着される配線基板の段差面の高さ寸法が製造誤差によつて設計寸法からずれている場合、金属板と制御用半導体素子はすでに一体化しているので、例えば、制御用半導体素子のはんだバンプが配線基板の配線にとどかず、フリップチップ接合でうまく接合できない場合が想定される。

【0015】本発明によれば、金属板の制御用半導体素子が配置された部分と周縁部との間の領域が厚み方向に屈曲しており、さらに好適には、この屈曲部がメッシュ状になっている。すなわち、金属板の屈曲部の強度が弱くなっているので、屈曲部を容易に曲げができるので、制御用半導体素子のはんだバンプの位置を上下の所定の位置にずらして調整することができる。

【0016】従つて、配線基板の段差面の高さ寸法に製造誤差が生じた場合においても、制御用半導体素子が所定の位置に配置されるようになるので、制御用半導体素子を配線基板の配線にフリップチップ接合で精度よく実装できるようになる。これにより、制御用半導体素子と配線基板の配線とが確実にコントクトするようになるので、これらが実装された半導体装置の信頼性を向上させることができるとともに、歩留りを向上させることができるようになる。

【0017】

【発明の実施の形態】本発明の実施の形態について、図を参照しながら説明する。

(第1の実施の形態) 図1 (a) は本発明の第1の実施の形態の半導体装置を示す概略断面図であつて、図1 (b) のI—Iに沿つた概略断面図、図1 (b) は図1 (a) をA側からみた概略平面図である。

【0018】本発明の実施の形態の半導体装置は、図1 (a) 及び (b) に示すように、光半導体素子14とそれを制御するための制御用半導体素子16とが配線基板10に実装されたものである。配線基板10にはキャビティー27が階段状に設けられている。そして、このキャビティー27の内側に3段からなる階段が形成され、金属板12の周縁部が、第1段目の階段の段差面に形成

されたグラウンド用の配線層 26 上に、はんだ接合やシーム溶接によって固定されて配置されている。

【0019】配線基板 10 は、例えばアルミニナセラミックなどのセラミックからなり、金属板 12 は、例えば銅などからなる。この金属板 12 の一方の面上には光半導体素子 14 が固定され、他方の面上には制御用半導体素子 16 が固定されて配置されている。制御用半導体素子 16 は光半導体素子 14 を制御するものであって、アンプ回路や制御回路などを有している。

【0020】配線基板 10 の第3段目の段差面には、タングステンなどからなる金属層 19 が形成され、配線基板 10 に蓋をするようにして、金属からなるキャップ 18 が金属層 19 上にはんだ接合又はシーム溶接により固定されて配置されている。このキャップ 18 の光半導体素子 14 が配置されている領域に相当する領域には、ガラスなどからなる透明の窓 18a が形成され、光半導体素子 14 が放出する光又は外部から受ける光が透過できるようになっている。

【0021】光半導体素子 14 の実施の形態として、発光素子としては発光ダイオード (LED) 又は半導体レーザー (LD) などを使用することができ、一方、受光素子としてはフォトダイオード (PD) などを使用することができる。光半導体素子 14 にはボンディングワイヤ 22, 22a が配線されている。ボンディングワイヤ 22 は光半導体素子 14 の電源用のパッドと配線基板 10 の第2段目の階段の段差面に形成された電源用の配線層 25 に接続されている。この配線層 25 は電源用の配線 23 に接続されている。

【0022】一方、ボンディングワイヤ 22a は金属板 12 に接続され、この金属板 12 は配線基板 10 の第1段目の階段の段差面に形成されたグラウンド用の配線層 26 に接続されている。このグラウンド用の配線層 26 は、グラウンド用の配線 23a, 23f に接続され、さらにグラウンド用の配線 23a, 23f はそれぞれリード 20, 20d に接続されている。

【0023】このように、光半導体素子 14 の電源用のパッドは、配線基板 10 の電源線に電気的に接続され、一方、光半導体素子 14 のグラウンド用のパッドは、金属板 12 を介して配線基板 10 のグラウンド線に電気的に接続されている。制御用半導体素子 16 は、複数のはんだバンプ (電極端子) 24, 24a, 24b, 24c を備えたペアチップであって、このはんだバンプ 24, 24a, 24b, 24c が配線基板 10 の所定の配線に接続されている。すなわち、はんだバンプ 24 が配線基板 10 の光半導体素子 14 を制御する制御用の配線 23b に接続され、この配線 23b が光半導体素子 14 の電源用の配線 23 に繋がっている。また、はんだバンプ 24a が配線基板 10 の信号用の配線 23c に接続され、この配線 23c がリード 20a に接続されている。

【0024】また、はんだバンプ 24b が配線基板 10

の電源用の配線 23d に接続され、この配線 23d がリード 20b に接続されている。さらに、はんだバンプ 24c が配線基板 10 のグラウンド用の配線 23e に接続され、この配線 23e がリード 20c に接続されている。これらの配線層 25, 26 や配線 (23~23f) の材料としてタンクステンを用いることが好ましい。

【0025】以上のように、制御用半導体素子 16 は、フリップチップ接合で配線基板の配線と電気的に接続されている。本実施の形態の半導体装置 28 は、このような構造になっており、配線基板 10 の透明の窓 18a を介して、光半導体素子 14 が放出する光を外部に放射したり、光半導体素子 14 が外部から受光したりすることができる。例えば、光半導体素子 14 が発光素子である場合、制御用素子 16 から制御用の配線 23 に印加する電圧を制御することにより、光半導体素子 14 からの発光強度を調整することができる。

【0026】このように、光半導体素子は、光を放したり、受光したりする素子なので、放出される光や受ける光の一部が反射したりなどして、光半導体素子を制御する制御用半導体素子に光があたるおそれがある。このとき、この光によって制御用半導体素子内にキャリアが生成されて光電変換が起こることにより、制御用半導体素子の回路が誤動作しやすくなる。

【0027】しかしながら、本実施の形態の半導体装置 28 によれば、光半導体素子 14 が遮光性の金属板 12 の一方の面側に配置され、それを制御する制御用半導体素子 16 が金属板 12 の他方の面側に配置され、金属板 12 の周縁部が配線基板 10 の内側の階段の段差面に固定されて配置されている。つまり、制御用半導体素子 16 は配線基板 10 内の第1段目の階段の段差面に金属板 12 で蓋をした領域に配置されている。

【0028】従って、光半導体素子 14 が放出する光や受ける光の一部が反射したりなどしても、この光は金属板 12 で完全に遮断されるので、光半導体素子 14 に係る光が制御用半導体素子 16 にあたるおそれがなくなる。これにより、制御用半導体素子 16 の光半導体素子 14 からの光に起因する誤動作を防止することができるようになる。さらに、光半導体素子 14 とそれを制御する制御用半導体素子 16 が 3 次元で積層されて実装されるので、これらが実装された半導体装置を小型化することができるようになる。

【0029】また、本実施の形態の半導体装置 30a によれば、光半導体素子 14 のグラウンド部に接続されたボンディングワイヤ 22a が金属板 12 を介して配線基板 10 のグラウンド線 23a, 23f に接続されている。金属板 12 は例えば銅などの低抵抗の金属材料からなり、例えば配線基板で使用する配線に比べると、その幅は非常に太く、かつその厚みも非常に厚いものであるので、グラウンド線の配線抵抗を大幅に低減させることができる。これにより、光半導体素子 14 がノイズの影

響を受けにくくなる。

【0030】次に、本発明の実施の形態の半導体装置28の製造方法を説明する。まず、図1に示すように、内側に例えれば3つの階段部を備えたキャビティー27を有し、タンクステンなどからなる所定の配線が形成された配線基板10を作成する。この配線基板10はアルミニナセラミックなどのセラミックからなる。なお、図1の配線基板10の第1段目の階段の段差面の高さtの空間には制御用半導体素子16がフリップチップ接合で固着されるので、確実に配線基板10の配線とコンタクトできるように、制御用半導体素子16の厚みなどを考慮して第1段目の段階の段差面の高さtを決定する。

【0031】その後、銅からなる金属板12を用意し、金属板12の他方の面に、はんだバンプ(24~24c)を有するペアチップからなる制御用半導体素子16のはんだバンプ(24~24c)が形成されていない面、すなわち制御用半導体素子16の裏面を接着剤などで固着する。次いで、金属板12の周縁部を配線基板10の第1段目の段階の段差面に形成されたグラウンド用の配線層26にはんだ接合やシーム溶接などで固着すると同時に、制御用半導体素子16のはんだバンプ(24~24c)を配線基板10の配線(23b~23e)にフリップチップ接合により接合する。これにより、金属板12と制御用半導体素子16とが配線基板10に実装される。

【0032】次いで、金属板12の一方の面側にLED、LD又はPDなどの光半導体素子14を接着剤などで固着し、光半導体素子14の電源用のパッドと配線基板10の配線層25とをボンディングワイヤ22で接続する。続いて、光半導体素子14のグラウンド用のパッドと金属板12とをボンディングワイヤ22aで接続する。これにより、光半導体素子14のグラウンド用のパッドが低抵抗の金属板12を介して配線基板10のグラウンド線に電気的に接続される。

【0033】次いで、光半導体素子14が配置される領域に相当する領域にガラスからなる窓18aが形成された金属からなるキャップ18と、配線基板10の第3段目の段差面に形成された金属層19とを、はんだを用いた接合又はシーム溶接によって固着する。以上により、本実施の形態の半導体装置28を製造することができる。

【0034】(第2の実施の形態)図2は本発明の第2の実施の形態の半導体装置を示す概略断面図、図3(a)は図2の金属板をB側から透視した透視平面図、図3(b)は金属板の変形例を示す概略平面図である。本実施の形態が第1の実施の形態と異なる点は金属板の構造が異なることにあるので、図2において図1(a)と同一物には同一符号を付してその詳しい説明を省略する。

【0035】第2の実施の形態の半導体装置28aに係

る金属板12aは、第1の実施の形態に係る金属板12のように全体にわたってフラットなものではない。すなわち、図2に示すように、金属板12aの制御用半導体素子16が接合された部分12c(ダイパッド部)と周縁部との間の領域が、他の部分と非平行になるようにしてその厚み方向に屈曲している。さらに、屈曲部Cは、図3(a)に示すように、メッシュ状になっている。

【0036】ここで、制御用半導体素子16が固着された金属板12aを配線基板10に実装する工程において、図2の配線基板10の第1段目の段階の段差面の高さtaが製造誤差により、設計値の高さより高くなつた場合を想定してみる。この場合、金属板12aと配線基板10との接続は問題ないが、段差面の高さtaが設計値より高くなっているので、制御用半導体素子16のはんだバンプ(24~24c)が配線基板10の配線(23b~23e)とうまくはんだ接合ができなくなってしまう。たとえ、接合できたとしても、上側に引っ張り力が働くのはんだ接合の信頼性が低下する。

【0037】本実施の形態の半導体装置28aに係る金属板12aは、屈曲部Cを有し、屈曲部Cにはメッシュ状の開口13が複数形成されていることにより、屈曲部Cの強度が弱くなつて曲げやすくなっている。これにより、金属板12aの他方の面に配置された制御用半導体素子16のはんだバンプ(24~24c)が配線基板10の配線(23b~23e)とうまく接続できるよう、金属板12aの屈曲部Cを曲げることにより、制御用半導体素子16を下側の所定の位置にずらすことができるようになる。

【0038】また、配線基板10の段差面の高さtaが設計寸法より低くなつた場合においても、同様に、金属板12aの屈曲部Cを曲げることにより、制御用半導体素子16を上側の所定の位置にずらすことができるようになる。従つて、配線基板10が製造誤差により、段差面の高さtaがずれて製造されたとしても、制御用半導体素子16のはんだバンプ(24~24c)と配線基板10の配線(23b~23e)とが確実にコンタクトするようになるので、フリップチップ接合の信頼性を向上させることができる。また、製造誤差によって設計寸法からずれて製造された配線基板10をも使用することができるので、半導体装置の製造歩留りを向上させることができる。

【0039】次に、金属板12aの変形例を説明する。図3(b)に示すように、本実施の形態に係る金属板12aの変形例である金属板12bは、屈曲部Cにメッシュ状の細かい開口が形成されているのではなく、屈曲部Cに互いに連通しない開口(13a, 13b, 13c, 13d)がそれぞれ形成されている。そして、隣り合う開口(13a, 13b, 13c, 13d)の間にはサポートバー12dが形成されている。図示の如く、このサポートバー12dはダイパッド部12cから金属板12

bの周縁部に向かって延びるようにして形成されている。このようにして形成された金属板12bも、図3(a)に示す金属板12aと同様な機能を有する。

【0040】このように、本実施の形態に係る金属板12a, 12bは、制御用半導体素子16が接合される金属板12a, 12bのダイパッド部12cを上下に容易に位置をずらすことができるような構造にすればよいのであって、屈曲部Cに形成される開口の大きさ、開口の数及び屈曲部Cの傾斜角度などを任意に設定して金属板を作成すればよい。

【0041】このような金属板12a, 12bは、例えば銅板をプレス加工することにより作成することができる。このとき、光半導体素子14に係る光が制御用半導体素子16に影響しない程度に開口の大きさや開口の配置位置などを決定することができる。以上、実施の形態により、この発明の詳細を説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明を逸脱しない要旨の範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0042】例えば、配線基板として、内側に3段からなる階段が形成されたものを例示したが、これに限定されるものではなく、金属板と、金属板を挟んで配置された光半導体素子と制御用半導体素子とが固定される構造であれば配線基板の内部構造は何でもよい。また、本実施の形態では、光半導体素子として、LED、LD又はPDのうち、1つが配置された形態を例示したが、発光素子と受光素子とが両方1つの配線基板上に実装された形態としてもよく、また、制御用半導体素子を複数、備えた形態としてもよい。

【0043】

【発明の効果】以上説明したように、本発明によれば、キャビティーが階段状に設けられた配線基板の段差面に金属板の周縁部が固着され、この金属板の一方の面に光半導体素子が固着され、金属板の他方の面にキャビティーの底部に電極端子が接続される配置で光半導体素子を制御する制御用半導体素子が固着されている。

【0044】すなわち、金属板を挟んで、光半導体素子は発光面側又は受光面側に配置され、制御用半導体素子は金属板の光半導体素子が配置された面の裏側に配置されている。従って、金属板によって光半導体素子に係る光が遮断されるので、制御用半導体素子に光があたらな

くなる。これにより、光があたることに起因する制御用半導体素子の誤動作が起きなくなり、その特性が改善されるとともに、光半導体素子と制御用半導体素子が3次元で積層されて実装されるので、これらが実装された半導体装置を小型化することができるようになる。

【図面の簡単な説明】

【図1】図1(a)は本発明の第1の実施の形態の半導体装置を示す概略断面図であって、図1(b)のI-Iに沿った概略断面図、図1(b)は図1(a)をA側からみた概略平面図である。

【図2】図2は本発明の第2の実施の形態の半導体装置を示す概略断面図である。

【図3】図3(a)は図2の金属板をA側から透視した透視平面図、図3(b)は金属板の変形例を示す概略平面図である。

【図4】図4は従来の半導体装置を示す断面図である。

【符号の説明】

10 : 配線基板

12, 12a, 12b : 金属板

12c : ダイパッド部

12d : サポートバー

13, 13a~13d : 開口

14 : 光半導体素子

16 : 制御用半導体素子

18 : キャップ

18a : 窓

19 : 金属層

20~20d : リード

22, 22a : ボンディングワイヤ

23 : 光半導体素子の電源用の配線

23a : 23f : 光半導体素子のグラウンド用の配線

23b : 制御用半導体素子の制御用の配線

23c : 制御用半導体素子の信号用の配線

23d : 制御用半導体素子の電源用の配線

23e : 制御用半導体素子のグラウンド用の配線

24, 24a, 24b, 24c : はんだバンプ (電極端子)

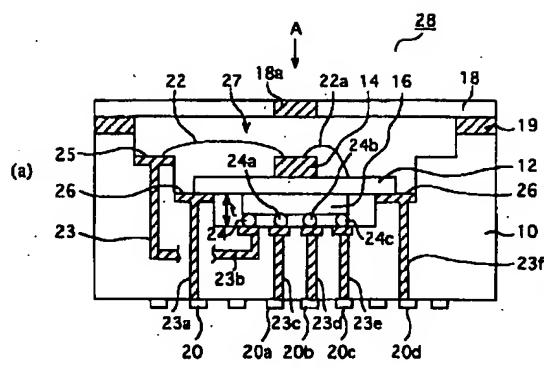
25 : 光半導体素子の電源用の配線層

26 : 光半導体素子のグラウンド用の配線層

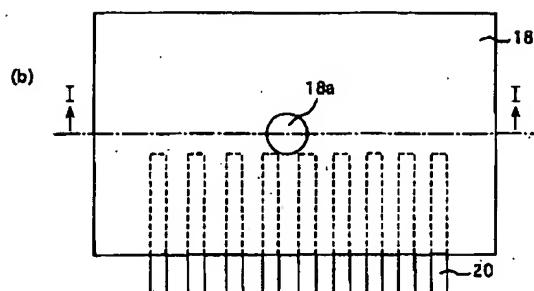
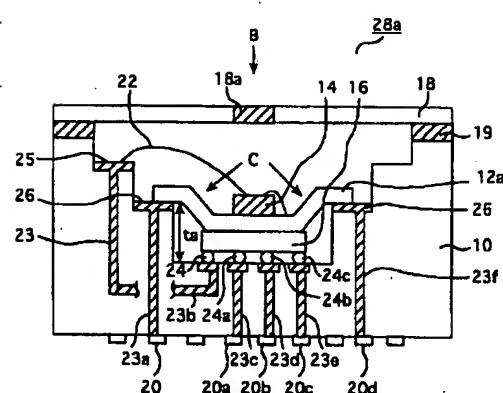
27 : キャビティー

28, 28a : 半導体装置

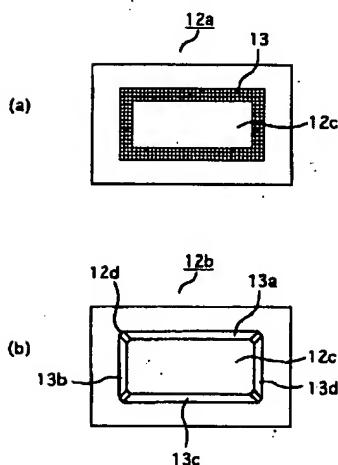
【図1】



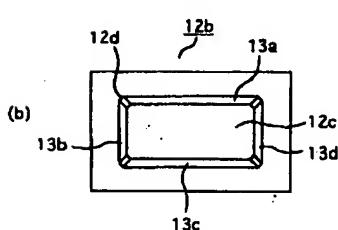
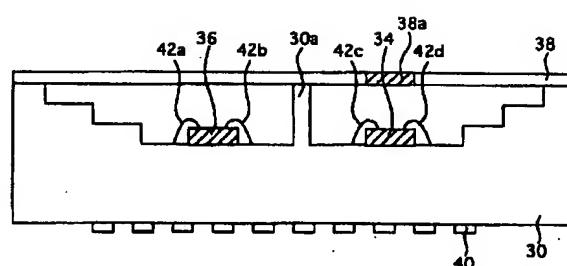
【図2】



【図3】



【図4】



フロントページの続き

F ターム(参考) 5F041 AA47 DA07 DA09 DA33 DA35
 DA83 DC22 DC84 FF14
 5F073 FA14 FA16 FA27 FA30
 5F088 AA01 BA15 BB01 GA07 JA03
 JA20 KA01